

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-188931

(43)Date of publication of application : 04.11.1983

(51)Int.Cl.

H03K 17/687

H03K 5/02

H03K 5/15

(21)Application number : 57-072072

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.04.1982

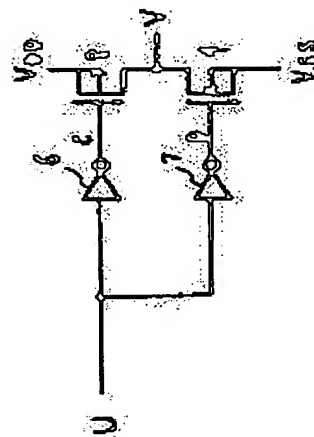
(72)Inventor : MATSUZAKI YUICHI
YAMAZAKI TAKU

(54) DRIVING CIRCUIT OF CMOS BUFFER AMPLIFIER

(57)Abstract:

PURPOSE: To reduce current consumption, by giving different amplification factors to a P and an N channel transistor (TR) and preventing the penetration current of a buffer amplifier.

CONSTITUTION: When the amplification factor of the P channel TR8 is made greater than that of the N channel TR9, a driving circuit 6 generates an output signal which has large trailing edge delay and small leading edge delay. Similarly when the amplification factor of the N channel TR9 is made greater than that of the P channel TR8, a driving circuit 7 generates an output signal which has small trailing edge delay and large leading edge delay. Then, the period wherein both TRs 8 and 9 turn on is provided by the leading edge difference and trailing edge difference between the TRs 8 and 9 to prevent the penetration current flowing between power sources at a transient point.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑩ 特許出願公開
昭58—188931

⑤ Int. Cl.³
H 03 K 17/687
5/02
5/15

識別記号

庁内整理番号
7105—5 J
7232—5 J
7232—5 J

④ 公開 昭和58年(1983)11月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ CMOS バッファアンプ駆動回路

① 特 願 昭57—72072
② 出 願 昭57(1982)4月28日
③ 発 明 者 松崎有一
諏訪市大和3丁目3番5号株式
会社諏訪精工舎内

④ 発 明 者 山崎卓
諏訪市大和3丁目3番5号株式
会社諏訪精工舎内
⑤ 出 願 人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4
号
⑥ 代 理 人 弁理士 最上務

明 細 書

1 発明の名称 CMOS バッファアンプ
駆動回路

2 特許請求の範囲

CMOS バッファアンプにおいて、Pチャネル
モートランジスタとNチャネルモートランジスタが同
時にONとなることを禁止するために、前記Pチャ
ネルモートランジスタとNチャネルモートランジスタ
のゲートをそれぞれ別々に駆動するバッファア
ンプ駆動回路において、CMOS バッファアンプ
のPチャネルモートランジスタのゲートを駆動する
回路のPチャネル側モートランジスタの増幅率をN
チャネルモートランジスタと比較して大きくし、C
MOS バッファアンプのNチャネルモートランジスタ
のゲートを駆動する回路のPチャネルモートラン
ジスタの増幅率をNチャネルモートランジスタと比
較して小さくした構成であることを特徴とする、
CMOS バッファアンプ駆動回路。

3 発明の詳細な説明

本発明は、電子回路において比較的大きな増幅
率を有するバッファアンプの駆動回路に関する。

従来、CMOS バッファアンプを駆動する回路
において、バッファアンプのPチャネルモートラン
ジスタ、Nチャネルモートランジスタを介して電源
間に流れる貫通電流を軽減するために、第1図に
示すような回路が知られている。この回路の動作
は、バッファアンプに流れる貫通電流をおさえる
ために、CMOS バッファアンプのPチャネル
側モートランジスタ4とNチャネル側モートランジスタ
5を異なる回路2、3で駆動し、デジタル回路
的にPチャネルモートランジスタ4とNチャネル
モートランジスタ5に異なった信号を加え、過渡時点
においてPチャネルモートランジスタ4、Nチャ
ネルモートランジスタ5双方ともOFFの期間を作成
している。すなわち、ダイレイタイプのフリップ
フロップ1をクロック信号φ₀で駆動し、データ
信号Xをクロックパルス分だけおくらせてW信号
を作成し、X信号とW信号の合成信号により、P

チャンネルトランジスタ4とNチャンネルトランジスタ5の双方とも r_1 , r_2 区間でOFFとなる2種類の信号AとBとを生成し、出力信号Yの変化時に流れる貫通電流を防止している。しかし本回路においては、貫通電流は低減されるが、回路素子数がかかなり増加してしまうという点があった。更に従来例における欠点として、区間信号Yがパルス状で、かつパルス幅が正確なものを得たい場合、クロック信号の同期をパルス幅の幾十分の1以下にしなければならず、低電圧の面に悪影響を与えたり、回路上不可能であったりした。

本発明は、従来例の様な複雑でかつ使用上の制約の強い回路を構成せずに、従来例と同様に貫通電流を低減することを目的とする。

以下に本発明の詳細な説明を行なう。

本発明の実施例を図2図に示す。本回路によれば、従来の複雑な回路は要せず、CMOSインバータ回路2個で構成できる。

第2図(b)に示す区間信号が入力ロから入力された時、区間回路6においてPチャンネルトランジ

スタの増幅率をNチャンネルトランジスタに比較して大きくすることによつて、区間回路6の出力は、第2図(b)0に示すように、立下りのデレイが大きく、かつ立上りのデレイの小さな出力信号波形となる。同様に区間回路7において、Nチャンネルトランジスタの増幅率をPチャンネルトランジスタと比較して大きくすることにより、第2図(b)1に示すように、立下りのデレイが小さく、かつ立上りのデレイの大きな出力信号波形が作成される。さらに区間回路6と区間回路7によつて出力される出力信号波形が、第2図(b)に示すようなデレイの関係を持つようにする。

すなわち、0については $T_0 - T_1$ 間でPチャンネルトランジスタ8がOFFとなり、 $T_1 - T_2$ 間でONとなり、 $T_2 - T_3$ 間でOFFとなるようにする。1については、Nチャンネルトランジスタ9が $T_0 - T_1$ 間でON、 $T_1 - T_2$ 間でOFF、 $T_2 - T_3$ 間でONとなるようにする。結局、 $T_1 - T_2$ 間、 $T_2 - T_3$ 間で、Pチャンネルトランジスタ8およびNチャンネルトランジ

スタ9の双方ともOFFとなる期間がとれるようにする。OFF期間の短ヤトランジスタのデレイ時間は、 μ secオーダー以下で充分である。これによつて、CMOSバッファアンプにON-ON(双方ともON)の期間がなくなり、過渡時点において電圧間を流れる貫通電流を防止できる。また本回路は、従来例のように、PチャンネルとNチャンネル側で異なる信号を必要とせず、同一の信号をリニア回路的デレイの遅いだけでバッファアンプの貫通電流を防止することが出来るため、素子数面及び区間信号側への制約面において、従来例よりもすぐれている。

また、本回路を応用すれば、バッファアンプのみでなく他の回路の区間においても、貫通電流を防止するのに有用である。さらに、本回路を応用することにより、時計用IO等においてさらに貫通電流の低減が可能となる。

4. 図面の簡単な説明

第1図, a, bは、CMOSバッファアンプの

貫通電流を低減する、従来方法の回路例及びその波形図。

第2図a, bは、本発明の一実施例を示す回路及び波形図。

- 1...デレイ型フリップフロップ
- 2...Pチャンネル区間OR回路
- 3...N " " AND回路
- 4...CMOSバッファアンプPチャンネルトランジスタ
- 5...CMOS " " N " "
- X...入力信号波形
- φ...クロック入力信号波形
- W...デレイ型フリップフロップ出力信号波形
- A...バッファアンプPチャンネル側区間信号波形
- B... " " " " "
- Y...バッファアンプ出力信号波形
- 6...Pチャンネル区間回路
- 7...N " " "
- 8-Pチャンネルトランジスタ

9 ... C M O B バッファアンプ N チャンネルト

ランジスタ

U ... 入力信号波形

O ... バッファアンプ P チャンネル側駆動信号

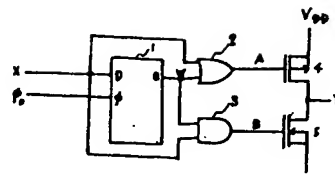
波形

D ...

V ... バッファアンプ出力信号波形

以 上

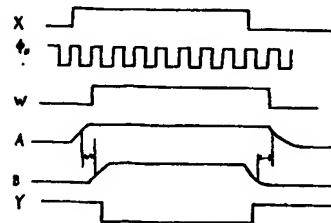
第 1 図



(a)

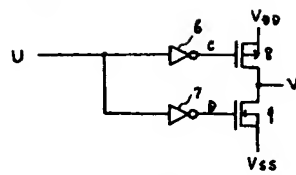
出 願 人 株式会社 藤 田 精 工 舎

代 理 人 弁 理 士 最 上 務

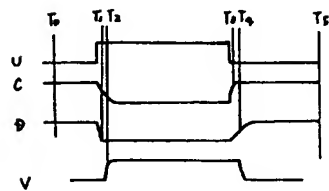


(b)

第 2 図



(a)



(b)